



Generate Collection

L19: Entry 8 of 21

File: JPAB

Mar 21, 2000

PUB-NO: JP02000082122A

DOCUMENT-IDENTIFIER: JP 2000082122 A

TITLE: MEMORY CARD

PUBN-DATE: March 21, 2000

## INVENTOR-INFORMATION:

NAME

COUNTRY

KUMAHARA, CHIAKI

MOTOBE, KAZUNORI

KADOWAKI, SHIGERU

OKUBO, CHIKAO

YAMADA, YUICHIRO

## ASSIGNEE-INFORMATION:

NAME

COUNTRY

HITACHI LTD

HITACHI ULSI SYSTEMS CO LTD

APPL-NO: JP10253000

APPL-DATE: September 7, 1998

INT-CL (IPC): G06 K 19/07; G06 K 17/00

## ABSTRACT:

PROBLEM TO BE SOLVED: To reduce a development term of a memory card such as a flash card and to improve its convenience.

SOLUTION: This memory card such as a flash card(FC) is composed by mounting a flash memory FMEM having a relatively large storage capacity and a single chip microcomputer MC equipped with a read only memory ROM consisting of a central processing unit CPU, a mask ROM and the like on the same card. In this case, a random access memory RAM consisting of a volatile memory such as a dynamic type RAM is provided in the microcomputer MC and only a basic routine of firmware for controlling the microcomputer MC is stored in the read only memory ROM. It is constituted so that a main routine or the like, which is a part of the main routine, can be transferred to the random access memory RAM in the power supply or reset after writing it in a firm data area of the flash memory FMEM from an external host terminal HOST, etc.

COPYRIGHT: (C)2000, JPO

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-82122

(P2000-82122A)

(43) 公開日 平成12年3月21日(2000.3.21)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード*(参考)
G 0 6 K 19/07		G 0 6 K 19/00	N 5 B 0 3 5
17/00		17/00	B 5 B 0 5 8

審査請求 未請求 請求項の数7 OL (全 10 頁)

(21) 出願番号 特願平10-253000

(22) 出願日 平成10年9月7日(1998.9.7)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233169

株式会社日立超エル・エス・アイ・システムズ

東京都小平市上水本町5丁目22番1号

(72) 発明者 熊原 千明

東京都小平市上水本町5丁目22番1号 株式会社日立超エル・エス・アイ・システムズ内

(74) 代理人 100081938

弁理士 徳若 光政

最終頁に続く

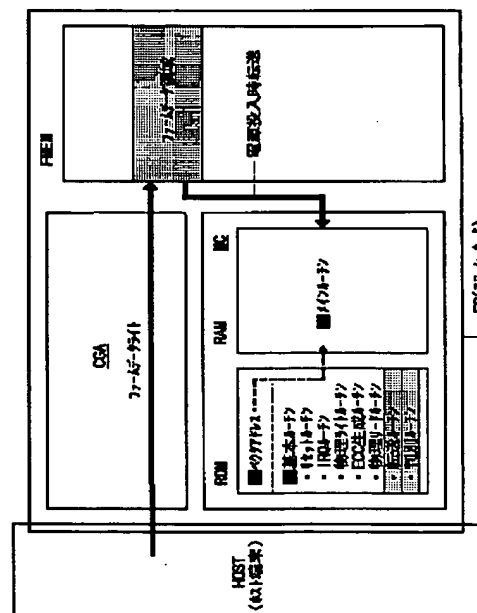
(54) 【発明の名称】 メモリカード

(57) 【要約】

【課題】 フラッシュカードFC等のメモリカードの開発期間を短縮し、その利便性を高める。

【解決手段】 比較的大きな記憶容量を有するフラッシュメモリFMEMと、中央処理ユニットCPUならびにマスクROM等からなるリードオンリメモリROMを備えるシングルチップマイクロコンピュータMCとを同一カードに搭載してなるフラッシュカードFC等のメモリカードにおいて、マイクロコンピュータMC内に、ダイナミック型RAM等の揮発性メモリからなるランダムアクセスメモリRAMを設けるとともに、リードオンリメモリROMには、マイクロコンピュータMCを制御するためのファームウェアの基本ルーチンのみを格納し、その他の一部たるメインルーチン等は、フラッシュメモリFMEMのファームデータ領域に外部のホスト端末HOST等から書き込んだ後、電源投入時又はリセット時にランダムアクセスメモリRAMに転送できる構成とする。

図6 ファームデータの動き



## 【特許請求の範囲】

【請求項1】 第1の不揮発性メモリからなり外部装置によって書き換え可能な第1の記憶部と、  
第2の不揮発性メモリからなり書き換え不能な第2の記憶部と、

揮発性メモリからなる第3の記憶部と、  
制御プログラムに従って動作する中央処理ユニットとが共通のカードに搭載されてなるものであって、かつ、  
上記制御プログラムの一部が、上記第2の記憶部に書き込まれ、その他の一部が、上記第1の記憶部に書き込まれた後、上記第3の記憶部に転送され、上記中央処理ユニットの制御に供されることを特徴とするメモリカード。

【請求項2】 請求項1において、  
上記第1の不揮発性メモリは、フラッシュメモリであり、

上記第2の不揮発性メモリは、マスクROMであり、  
上記揮発性メモリは、ダイナミック型RAMであることを特徴とするメモリカード。

【請求項3】 請求項1又は請求項2において、  
上記第1の記憶部に書き込まれた上記制御プログラムの他の一部は、上記メモリカードを含む上記外部装置の電源投入時又はリセット時、上記第3の記憶部に転送されるものであることを特徴とするメモリカード。

【請求項4】 請求項1、請求項2又は請求項3において、

上記制御プログラムの他の一部は、上記第1の記憶部の記憶領域のうちユーザから認識不能なシステム領域に書き込まれるものであって、

該システム領域には、上記第1の記憶部に上記制御プログラムの他の一部が書き込まれた履歴を記憶し、書き込まれた領域のアドレスを示すファームデータ指定セクタが設けられるものであることを特徴とするメモリカード。

【請求項5】 請求項1、請求項2、請求項3又は請求項4において、

上記制御プログラムの一部は、上記メモリカードの主たる目的を実現するためのメインルーチンを含むものであり、

上記制御プログラムの他の一部は、電源投入時又はリセット時に上記メモリカードの各部をリセット状態とし、  
上記中央処理ユニットに対する割り込み要求を処理し、  
上記第1ないし第3の記憶部に対する書き込み又は読み出し動作を制御し、  
上記ファームデータ指定セクタを判別し、あるいは上記制御プログラムの他の一部の上記第1の記憶部から上記第3の記憶部への転送動作を制御するための基本ルーチンを含むものであることを特徴とするメモリカード。

【請求項6】 請求項1、請求項2、請求項3、請求項4又は請求項5において、

上記メモリカードは、所定のコネクタを介して上記外部装置に接続されるものであり、

上記外部装置は、通信機能を有する端末装置であって、  
上記端末装置は、所定の通信回線を介して上記制御プログラムの他の一部を受理し、上記メモリカードの上記第1の記憶部に書き込む機能を有するものであることを特徴とするメモリカード。

【請求項7】 請求項6において、  
上記端末装置は、所定の通信網に接続されるものであって、

上記制御プログラムの他の一部は、上記通信網の所定のホームページに掲載されるものであることを特徴とするメモリカード。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明はメモリカードに関し、例えば、フラッシュメモリをその主たる基本手段とするフラッシュカード（フラッシュメモリカード）ならびにその開発期間の短縮及び利便性の向上に利用して特に有効な技術に関する。

## 【0002】

【従来の技術】中央処理ユニット（中央処理装置）を含むシングルチップマイクロコンピュータと比較的大容量のフラッシュメモリを同一カードに搭載してなり、コネクタを介して情報処理端末装置等に装着・接続されるフラッシュカード等のメモリカードがある。このようなフラッシュカードにおいて、マイクロコンピュータは、制御プログラム（以下、ファームウェアと称す）に従って動作し、マスクROM等からなりファームウェアを保持するリードオンリメモリを内蔵する。

## 【0003】

【発明が解決しようとする課題】本願発明者等は、この発明に先立って、マイクロコンピュータを搭載するフラッシュカードを開発し、その過程で次のような問題点に気付いた。すなわち、このフラッシュカードFCは、例えば図7(a)に示されるように、リードオンリメモリROMを内蔵するマイクロコンピュータMCと、比較的大きな記憶容量を有するフラッシュメモリFMEMと、インタフェース回路FC等を構成するコントロールゲートアレイCGAとを搭載する。マイクロコンピュータMCは、上記のようにファームウェアに従って動作し、このファームウェアは、書き換え不能なリードオンリメモリROMに格納される。したがって、フラッシュカードの開発段階でファームウェアに不備が検出された場合、新しいファームウェアに書き換えたリードオンリメモリROMを含むマイクロコンピュータMCをチップごと交換しなくてはならず、これによってフラッシュカードのTAT(Turn Around Time:修正時間)が長くなり、開発期間が長くなる。また、ファームウェアの修正・書き換えは、バージョンアップや仕様修

正時にも必要となるが、上記のような修正方法をとることでフラッシュカードの利便性が低下し、カードの提供者及びユーザともに不便を強いられる結果となる。

【0004】この発明の目的は、フラッシュカード等のメモ리카ードの開発期間を短縮し、その利便性を高めることにある。

【0005】この発明の前記ならびにその他の目的と新規な特徴は、この明細書の記述及び添付図面から明らかになるであろう。

【0006】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、次の通りである。すなわち、フラッシュメモリ等からなり比較的大きな記憶容量を有する第1の記憶部と、中央処理ユニットならびにマスクROM等からなる第2の記憶部を備えるシングルチップマイクロコンピュータとを同一カードに搭載してなるフラッシュカード等のメモ리카ードにおいて、マイクロコンピュータ内にダイナミック型RAM等の揮発性メモリからなる第3の記憶部を設けるとともに、第2の記憶部には、マイクロコンピュータを制御するためのファームウェアの基本ルーチンのみを格納し、ファームウェアの他の一部たるメインルーチン等は、第1の記憶部の所定の領域に外部から書き込んだ後、電源投入時又はリセット時に第1の記憶部から第3の記憶部に転送できる構成とする。

【0007】上記手段によれば、フラッシュカード等の開発段階では、リードオンリメモリからなる第2の記憶部を書き換えることなくファームウェアを修正できるとともに、バージョンアップや仕様修正時等においては、例えばインターネットのホームページに掲載された新しいファームウェアをホスト端末を介してフラッシュカード等にダウンロードし、最新版に書き換えることができる。この結果、フラッシュカード等の開発期間を短縮し、その利便性を高めることができる。

【0008】

【発明の実施の形態】図1には、この発明が適用されたフラッシュカードFC（メモ리카ード）の一実施例のブロック図が示されている。また、図2には、図1のフラッシュメモリFMEMの一実施例のメモリマップが示され、図3には、そのシステム領域に設けられるファームデータ指定セクタの一実施例の内容構成図が示されている。これらの図をもとに、まずこの実施例のフラッシュカードFCの構成及び動作の概要とフラッシュメモリFMEMの記憶領域について説明する。

【0009】なお、図1の各ブロックを構成する回路素子は、特に制限されないが、公知のMOSFET（金属酸化物半導体型電界効果トランジスタ。この明細書では、MOSFETをして絶縁ゲート型電界効果トランジスタの総称とする）集積回路の製造技術により、1個又は複数個のチップ（半導体基板）面上にそれぞれ形成さ

れる。また、各ブロックが形成されるチップは、共通の1枚のカード上に搭載され、所定のプリント配線を介して電氣的に結合されるとともに、カードの一端に設けられたコネクタCONを介して外部装置つまりホスト端末HOST（端末装置）に装着・接続される。さらに、チップを含む各ブロックが搭載されたカードは、実際には所定の被覆材料を用いてパッケージされるが、図1では、この被覆材料を割愛し、外観図的なブロック図として示した。加えて、以下の記述では、ファームウェアが通常のデータと同様に書き込み又は読み出し動作の対象となる場合、ファームウェアのことをファームデータと称する場合がある。

【0010】図1において、この実施例のフラッシュカードFCは、特に制限されないが、複数のフラッシュメモリ（第1の不揮発性メモリ）チップが組み合わされてなるフラッシュメモリFMEM（第1の記憶部）と、中央処理ユニットCPU、リードオンリメモリROM（第2の記憶部）ならびにランダムアクセスメモリRAM（第3の記憶部）が1個のチップ面上に形成されてなるシングルチップ型のマイクロコンピュータMCと、各種の標準的な論理ゲートが組み合わされてなるコントロールゲートアレイCGAとを備える。フラッシュカードFCは、後述するように、図の左端に設けられたコネクタCONを介してホスト端末HOSTに接続され、コントロールゲートアレイCGAの一部は、フラッシュカードFCとホスト端末HOSTとの間を所定のインタフェース条件を満たしつつ電氣的に結合するためのインタフェース回路IFとして機能する。

【0011】フラッシュカードFCのマイクロコンピュータMCを構成する中央処理ユニットCPUは、リードオンリメモリROM又はランダムアクセスメモリRAMに書き込まれた制御プログラムつまりファームウェアに従って動作し、フラッシュカードFCの各部を制御・統括する。また、リードオンリメモリROM及びランダムアクセスメモリRAMは、それぞれマスクROM（第2の不揮発性メモリ）等の不揮発性メモリ及びダイナミック型RAM等の揮発性メモリからなり、中央処理ユニットCPUの動作に必要なファームウェアを保持する。

【0012】この実施例において、中央処理ユニットCPUの動作に必要なファームウェアは、後述するように、フラッシュカードFCの主たる目的を実現するためのメインルーチンと、電源投入時又はリセット時にフラッシュカードFCの各部をリセット状態とし、中央処理ユニットCPUに対する割り込み要求を処理し、リードオンリメモリROM及びランダムアクセスメモリRAMに対する書き込み及び読み出し動作を制御し、フラッシュメモリFMEMのシステム領域に設けられるファームデータ指定セクタを判別し、あるいはメインルーチンの転送動作を制御するための基本ルーチンとに二分される。

10

20

30

40

50

【0013】このうち、基本ルーチンは、すでにその仕様が確定し、機能確認も終了していることから、書き換え不能なリードオンリメモリROMに格納される。しかし、メインルーチンは、その仕様がエンドユーザごとに異なることやバージョンアップ等にもなる仕様変更に対処するため、まずフラッシュメモリFMEMのシステム領域内のファームデータ領域に書き込まれた後、上記基本ルーチンの転送ルーチンを用いてフラッシュメモリFMEMからランダムアクセスメモリRAMに転送され、中央処理ユニットCPUの制御に供される。なお、ファームウェアの具体的構成やその転送動作等については、後で詳細に説明する。

【0014】次に、フラッシュメモリFMEMは、比較的大きな記憶容量を有し、その記憶領域は、図2に示されるように、フラッシュカードFCのエンドユーザには見えないつまり認識不能なアドレスADDa~ADDeのシステム領域と、エンドユーザに見えるつまり認識可能なアドレスADDf~ADDgのユーザ領域とに二分される。このうち、ユーザ領域には、フラッシュカードFCの主たる使用目的となる種々のデータがユーザによって書き込まれ、又は読み出される。また、システム領域の主たる部分となるアドレスADDa~ADDbは、ユーザ領域で検出された欠陥部を置換・救済するための予備領域として用いられるが、この実施例の場合、システム領域の一部、つまり例えばアドレスADDd~ADDeは、メインルーチンを書き込むためのファームデータ領域として用いられ、その他の一部、つまり例えばアドレスADDcは、ファームデータ領域にメインルーチンが書き込まれた履歴を記憶し、書き込まれた領域の先頭アドレス及び最終アドレスを示すためのファームデータ指定セクタとして用いられる。

【0015】ここで、フラッシュメモリFMEMのシステム領域に設けられるファームデータ指定セクタは、特に制限されないが、図3に示されるように、数ビットからなるファームデータ判別コードCODEと、所定ビットからなるファームデータ格納先頭アドレスFADD及びファームデータ格納最終アドレスEADDとからなる。このうち、ファームデータ判別コードCODEは、ホスト端末HOSTを介してフラッシュメモリFMEMのシステム領域のファームデータ領域にメインルーチンが書き込まれたとき、所定の判別コードが書き込まれ、メインルーチンが書き込まれない初期の状態ではデフォルト状態とされる。また、ファームデータ格納先頭アドレスFADD及びファームデータ格納最終アドレスEADDには、ファームデータ領域にメインルーチンが書き込まれたとき、書き込み領域の先頭アドレスADDd及び最終アドレスADDeがそれぞれ書き込まれ、メインルーチンが書き込まれない初期の状態ではデフォルト状態とされる。

【0016】図1に戻ろう。マイクロコンピュータMC

の中央処理ユニットCPUは、ランダムアクセスメモリRAMに格納されたメインルーチンに従って、ホスト端末HOSTからフラッシュメモリFMEMに対するユーザデータの書き込み動作を制御し、フラッシュメモリFMEMからホスト端末HOSTに対するユーザデータの読み出し動作を制御する。また、リードオンリメモリROMに格納された基本ルーチンに従って、電源投入時又はリセット時における各部のリセット動作を制御し、各部から発生する割り込み要求を処理し、リードオンリメモリROM又はランダムアクセスメモリRAMに対する書き込み又は読み出し動作を制御し、フラッシュメモリFMEMのファームデータ指定セクタに書き込まれたファームデータ判別コードCODEを判別してフラッシュメモリFMEMのファームデータ領域に書き込まれたメインルーチンの転送処理の必要性を判断し、さらにはフラッシュメモリFMEMのファームデータ領域からランダムアクセスメモリRAMに対するメインルーチンの転送動作を制御する。

【0017】一方、コントロールゲートアレイCGAは、マイクロコンピュータMCの制御を受けて、ホスト端末HOSTからフラッシュメモリFMEMに対するユーザデータの書き込み動作を実行し、あるいはフラッシュメモリFMEMのユーザ領域からホスト端末HOSTに対するユーザデータの読み出し動作を実行する。このとき、ホスト端末HOSTとの間のデータ授受は、所定のインタフェース条件に従って行われ、コントロールゲートアレイCGAの一部は、このインタフェース条件を満たすためのインタフェース回路IFとして機能する。

【0018】図4には、図1のフラッシュカードFCのファームデータ書き込み時の一実施例の動作シーケンス図が示され、図5には、そのファームデータ転送時の一実施例の動作シーケンス図が示されている。また、図6には、図1のフラッシュカードFCにおけるファームデータの動きを説明するための一実施例の概念図が示され、図7には、この発明に先立って本願発明者等が開発したフラッシュカードと図1のフラッシュカードFCにおけるファームウェア変更方法を比較説明するための一実施例の概念図が示されている。図4、図5ならびに図7を中心に、この実施例のフラッシュカードFCにおけるファームウェア変更処理の手順と方法ならびにその特徴について説明する。図6については、これらの説明の過程で随時参照されたい。なお、図5に示されるファームデータの転送処理は、特に制限されないが、図4によるファームデータの書き込み処理を実行した後、フラッシュカードFCを含むホスト端末HOSTの電源を一旦切断して再投入し、あるいはシステムリセットをかけることによって開始される。

【0019】まず図4において、この実施例のフラッシュカードFCのフラッシュメモリFMEMのファームデータ領域に対するファームデータつまりメインルーチン

10

20

30

40

50

の書き込み動作は、ホスト端末HOSTの電源を投入した後、フラッシュメモリFMEMに対するライト（書き込み）コマンドを発行することにより開始される。フラッシュカードFCでは、電源投入直後の図示されないリセット信号の有効レベルを受けて、リードオンリメモリROMからリセットルーチンが読み出され、コントロールゲートアレイCGA、フラッシュメモリFMEMならびにマイクロコンピュータMCのリセット処理が行われる。また、リセット終了後、やはりリードオンリメモリROMから判別ルーチンが読み出され、ファームデータ指定セクタのファームデータ判別コードCODEの判別処理が行われる。

【0020】このとき、マイクロコンピュータMCの中央処理ユニットCPUは、コントロールゲートアレイCGAに対してフラッシュメモリFMEMのファームデータ指定セクタを読み出すためのリード（読み出し）コマンドを発行する。また、コントロールゲートアレイCGAは、このリードコマンドを受けて、フラッシュメモリFMEMのシステム領域のアドレスADDcからファームデータ指定セクタを読み出し、そのファームデータ判別コードCODEを中央処理ユニットCPUに伝達する。中央処理ユニットCPUは、伝達されたファームデータ判別コードCODEをもとに、フラッシュメモリFMEMのファームデータ領域にファームデータが書き込み済であるかどうかを判別する。そして、ファームデータが書き込み済である場合、次に説明する図5の処理を実行し、未書き込みである場合には処理を停止してホスト端末HOSTからのライトコマンドを待つ。

【0021】ホスト端末HOSTからライトコマンドが発行されると、フラッシュカードFCでは、リードオンリメモリROMから物理ライトルーチンが読み出され、コントロールゲートアレイCGAを介するファームデータの書き込み動作が開始される。また、ファームデータの書き込みの際にリードオンリメモリROMからECC生成ルーチンが読み出され、ファームデータに対してECC（誤り修正コード）が付与され、データの信頼性が高められる。フラッシュメモリFMEMのシステム領域に対するメインルーチンの最新版の書き込みが終了すると、中央処理ユニットCPUは、フラッシュメモリFMEMのファームデータ指定セクタのファームデータ判別コードCODEとして、書き込みが終了した旨を示すコードを書き込むとともに、ファームデータ指定セクタのファームデータ格納先頭アドレスFADD及びファームデータ格納最終アドレスEADDとして、ファームデータが書き込まれた領域の先頭アドレス及び最終アドレスを書き込む。

【0022】以上により、ファームデータの書き込み処理が終了し、ホスト端末HOSTは他の処理に移行する。また、フラッシュカードFCのマイクロコンピュータMCは、リードオンリメモリROMに格納された基本

ルーチンによる処理を行うことはできるが、ランダムアクセスメモリRAMにはまだファームデータが転送されていないため、メインルーチンに関する処理は実行できない。

【0023】次に、フラッシュメモリFMEMに対する最新のファームデータの書き込みが終了し、ホスト端末HOSTの電源が一旦切断された後、再投入されると、フラッシュカードFCでは、図5に示されるように、リセット処理後のファームデータ指定セクタの読み出し及びそのファームデータ判別コードCODEの判別により、ファームデータがフラッシュメモリFMEMに書き込み済であることが中央処理ユニットCPUによって識別される。また、これを受けてリードオンリメモリROMから転送ルーチン及び物理リードルーチンが読み出され、ランダムアクセスメモリRAMへのファームデータの転送処理が開始される。

【0024】この結果、マイクロコンピュータMCのランダムアクセスメモリRAMには、図4のファームデータ書き込み動作によってフラッシュメモリFMEMのファームデータ領域に書き込まれた最新のファームウェアが転送され、これによってフラッシュカードFCは、メインルーチンによるユーザデータの書き込み又は読み出し動作を実行しうる状態とされる。

【0025】以上のように、この実施例のフラッシュカードFCは、比較的大きな記憶容量を有するフラッシュメモリFMEMと、中央処理ユニットCPU、リードオンリメモリROMならびにランダムアクセスメモリRAMが共通のチップ面上に搭載されてなるシングルチップマイクロコンピュータMCとを備える。マイクロコンピュータMCの中央処理ユニットCPUは、制御プログラムつまりファームウェアに従って動作し、このファームウェアは、リードオンリメモリROMに格納される基本ルーチンと、ランダムアクセスメモリRAMに格納されるメインルーチンとに二分される。一方、フラッシュメモリFMEMの記憶領域は、ユーザが認識可能なユーザ領域とユーザが認識不能なシステム領域とに二分され、システム領域には、外部のホスト端末HOSTから最新のファームウェアを書き込むためのファームデータ領域と、このファームデータ領域にファームデータが書き込まれた履歴を記憶し書き込みアドレスを保持するためのファームデータ指定セクタとが設けられる。さらに、中央処理ユニットCPUは、電源投入時又はリセット時、基本ルーチンの一部たる転送ルーチンに従って、フラッシュメモリFMEMのファームデータ領域に書き込まれたファームウェアをマイクロコンピュータMCのランダムアクセスメモリRAMに転送する機能を有する。

【0026】これらのことから、この実施例のフラッシュカードFCでは、図7に示されるように、マイクロコンピュータMCのリードオンリメモリROMを書き換えることなく、外部のホスト端末HOSTからマイクロコ

10

20

30

40

50

ンピュータMCのランダムアクセスメモリRAM内のファームウェアを修正することができるとともに、バージョンアップや仕様修正時等においては、例えばインターネットのホームページに掲載された新しいファームウェアをホスト端末HOSTを介してフラッシュメモリFMEつまりはランダムアクセスメモリRAMにダウンロードし、最新版に書き換えることができる。この結果、フラッシュカードFCの開発期間を短縮し、その利便性を高めることができるものである。

【0027】図8には、図1のフラッシュカードFCを含むホスト端末HOSTの一実施例のシステム構成図が示されている。同図をもとに、この実施例のフラッシュカードFCを応用したホスト端末HOSTの構成及び動作ならびにその特徴について説明する。なお、図8は、ホスト端末HOSTの特にファームデータ書き込み時の動作を説明するためのものであって、その実質的な機能ブロックについては、一般的なパーソナルコンピュータと同じあるため類推されたい。

【0028】図8において、この実施例のホスト端末HOSTは、いわゆるノート型パーソナルコンピュータからなり、本体表面に設けられたキーボードと、このキーボードと向かい合うように折り畳むことが可能な液晶ディスプレイとを備える。ホスト端末HOSTの本体の右側面には、フラッシュカードFCを装着・接続するためのコネクタが設けられる。また、この実施例のホスト端末HOSTは、公衆通信回線を介してインターネット（通信網）に接続しうる構成とされ、このインターネットには、最新版のファームウェアつまりメインルーチンをユーザに提供するためのホームページが設けられる。該ホームページには、最新のメインルーチンに関するファームデータつまりメインルーチンデータと、これらのファームデータをアクセスしてきたホスト端末HOSTのフラッシュカードFCのフラッシュメモリFMEMに書き込むためのプログラムとが用意される。

【0029】これにより、ホスト端末HOSTの所有者たるユーザは、コネクタにフラッシュカードFCを装着・接続した後、インターネットの上記ホームページをアクセスし、例えば液晶ディスプレイの画面に設けられたアイコン等の所定部分をクリックすることで、ホームページに書き込まれた最新のファームウェアをダウンロードし、フラッシュカードFCに書き込むことが可能となる。この結果、フラッシュカードFCの提供者は、比較的容易にそのファームウェアつまりメインルーチンをバージョンアップし、あるいはその仕様を変更でき、ユーザは、常に最新のメインルーチンを利用することができるものとなる。

【0030】以上の実施例から得られる作用効果は、下記の通りである。すなわち、

(1) フラッシュメモリ等からなり比較的大きな記憶容量を有する第1の記憶部と、中央処理ユニット及びマス

クROM等からなる第2の記憶部を備えるシングルチップマイクロコンピュータとを同一カードに搭載してなるフラッシュカード等のメモリカードにおいて、マイクロコンピュータ内にダイナミック型RAM等の揮発性メモリからなる第3の記憶部を設けるとともに、第2の記憶部には、マイクロコンピュータを制御するためのファームウェアの基本ルーチンのみを格納し、ファームウェアの他の一部であるメインルーチン等は、第1の記憶部の所定の領域に外部から書き込んだ後、電源投入時又はリセット時に第1の記憶部から第3の記憶部に転送できる構成とすることで、フラッシュカード等の開発段階では、リードオンリメモリからなる第2の記憶部を書き換えることなく、比較的容易にファームウェアを修正できるという効果が得られる。

【0031】(2) 上記(1)項により、バージョンアップや仕様修正時等においては、例えばインターネットのホームページに掲載された新しいファームウェアをホスト端末を介してフラッシュカード等にダウンロードすることができるため、常に最新版に書き換えることができるという効果が得られる。

(3) 上記(1)項及び(2)項により、フラッシュカード等の開発期間を短縮し、その利便性を高めることができるという効果が得られる。

【0032】以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、この発明は、上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。例えば、図1において、フラッシュメモリFMEMは、単一のフラッシュメモリからなるものであってもよい。また、マイクロコンピュータMCのリードオンリメモリROMは、マスクROM以外の不揮発性メモリからなるものであってもよいし、ランダムアクセスメモリRAMについても、ダイナミック型RAM以外の揮発性メモリからなるものであってもよい。フラッシュカードFCのブロック構成及びその形状等は、本実施例による制約を受けることなく、種々の実施形態をとりうる。

【0033】図2において、フラッシュメモリFMEMのメモリマップはほんの一例であって、その分割方法や領域設定等は種々考えられよう。図3において、ファームデータを固定長とすることができる場合、ファームデータ指定セクタにはファームデータ判別コードCODE及びファームデータ格納先頭アドレスFADDのみを設ければよい。図4及び図5において、フラッシュカードFC及びこれを含むホスト端末HOSTのファームデータ書き込み時及びファームデータ転送時の動作シーケンスならびにその絶対的な時間関係は、これらの実施例による制約を受けない。図6において、マイクロコンピュータMCのリードオンリメモリROMに格納される基本ルーチンの種類及び各ルーチンの名称等は、種々の実施形態をとりうる。図8において、フラッシュカードFC

を含むホスト端末HOSTのシステム構成及び外觀構造等は、種々の実施形態をとりうるし、最新のファームウェアを提供する通信網も、インターネットに限定されない。

【0034】以上の説明では、主として本発明者によってなされた発明をその背景となった利用分野であるフラッシュカードに適用した場合について説明したが、それに限定されるものではなく、例えば、通常のEEPROM（電氣的に消去・プログラム可能なリードオンリメモリ）を用いたものを含む各種のメモリカードにも適用できる。この発明は、少なくとも比較的大容量の不揮発性メモリとファームウェアに従って動作するマイクロコンピュータとを備えるメモリカードならびにこれを含む装置又はシステムに広く適用することができる。

【0035】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、フラッシュメモリ等からなり比較的大きな記憶容量を有する第1の記憶部と、中央処理ユニット及びマスクROM等からなる第2の記憶部を備えるシングルチップマイクロコンピュータとを同一カードに搭載してなるフラッシュカード等のメモリカードにおいて、マイクロコンピュータ内にダイナミック型RAM等の揮発性メモリからなる第3の記憶部を設けるとともに、第2の記憶部には、マイクロコンピュータを制御するためのファームウェアの基本ルーチンのみを格納し、ファームウェアの他の一部たるメインルーチン等は、第1の記憶部の所定の領域に外部から書き込んだ後、電源投入時又はリセット時に第1の記憶部から第3の記憶部に転送できる構成とすることで、フラッシュカード等の開発段階では、リードオンリメモリからなる第2の記憶部を書き換えることなくファームウェアを修正することができるとともに、バージョンアップや仕様修正時等においては、例えばインターネットのホームページに掲載された新しいファームウェアをホスト端末を介

してフラッシュカード等にダウンロードし、最新版に書き換えることができる。この結果、フラッシュカード等の開発期間を短縮し、その利便性を高めることができる。

【図面の簡単な説明】

【図1】この発明が適用されたフラッシュカードの一実施例を示すブロック図である。

【図2】図1のフラッシュカードに含まれるフラッシュメモリの一実施例を示すメモリマップである。

10 【図3】図2のフラッシュメモリに含まれるファームデータ指定セクタの一実施例を示す内容構成図である。

【図4】図1のフラッシュカードのファームデータ書き込み時の一実施例を示す動作シーケンス図である。

【図5】図1のフラッシュカードのファームデータ転送時の一実施例を示す動作シーケンス図である。

【図6】図1のフラッシュカードにおけるファームデータの動きを説明するための一実施例を示す概念図である。

20 【図7】この発明に先立って本願発明者等が開発したフラッシュカードと図1のフラッシュカードにおけるファームウェア変更方法を比較説明するための一実施例を示す概念図である。

【図8】図1のフラッシュカードを含むホスト端末の一実施例を示すシステム構成図である。

【符号の説明】

HOST……ホスト端末、FC……フラッシュカード、CGA……コントロールゲートアレイ、IF……インタフェース回路、FMEM……フラッシュメモリ、MC……マイクロコンピュータ、CPU……中央処理ユニット、RAM……ランダムアクセスメモリ、ROM……リードオンリメモリ、ADDa～ADDg……フラッシュメモリのアドレス、CODE……ファームデータ判別コード、FADD……ファームデータ格納先頭アドレス、EADD……ファームデータ格納最終アドレス。

【図3】

図3 ファームデータ指定セクタの内容構成

ADDc	CODE	FADD	EADD
------	------	------	------

■ ファームデータ未書き込み時

CODE: デフォルト  
FADD: デフォルト  
EADD: デフォルト

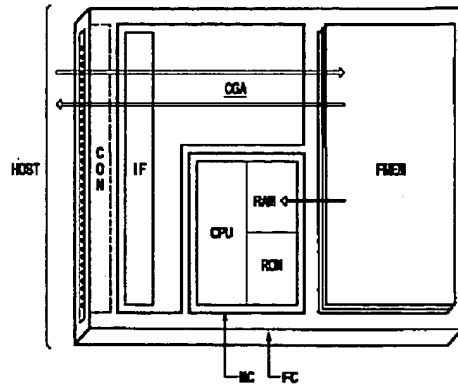
■ ファームデータ書き込み時

CODE: 書き込み表示コード  
FADD: ADDa (格納先頭アドレス)  
EADD: ADDg (格納最終アドレス)



【図1】

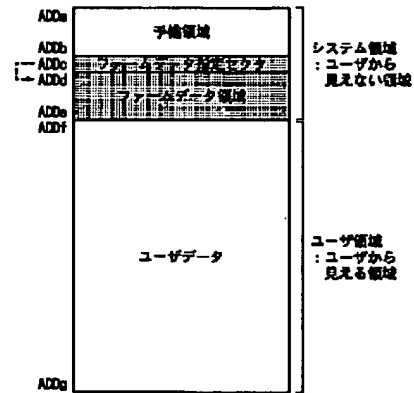
図1 フラッシュカードのブロック構成



HOST: 421端子  
 FC: フラッシュメモリ  
 CGA: システム領域  
 IF: インタフェース回路  
 VCC: フラッシュメモリ  
 MC: マイクロコントローラ  
 CPU: 中央処理ユニット  
 RAM: ランダムアクセスメモリ  
 ROM: リードオンリーメモリ

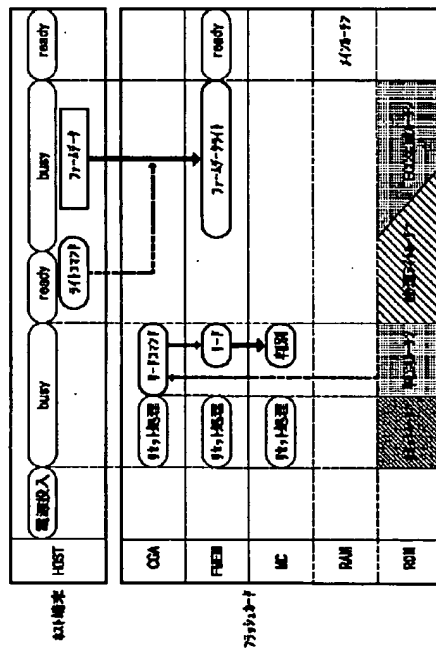
【図2】

図2 フラッシュメモリのメモリマップ



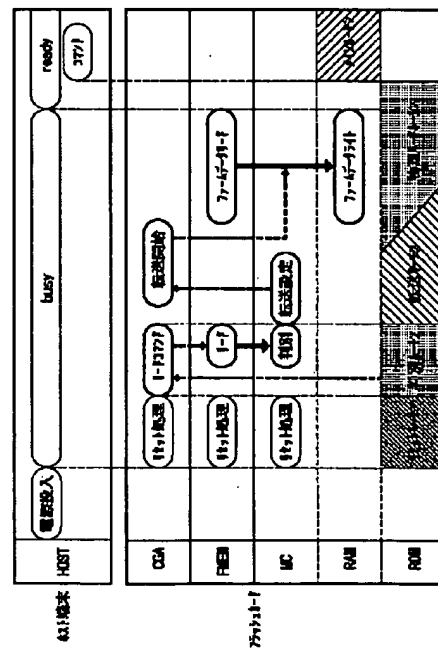
【図4】

図4 ファームデータ書き込み時の動作シーケンス



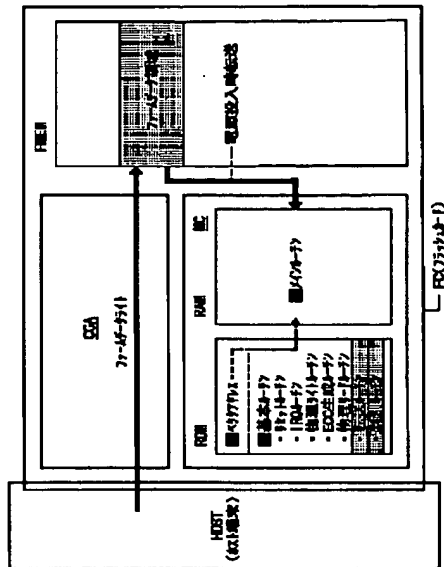
【図5】

図5 ファームデータ転送時の動作シーケンス



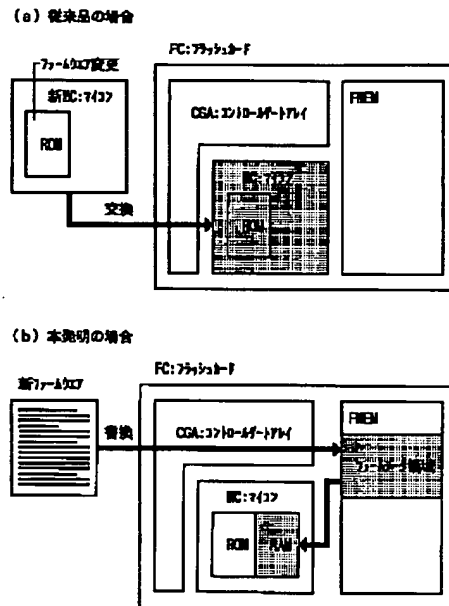
【図6】

図6 ファームデータの転送

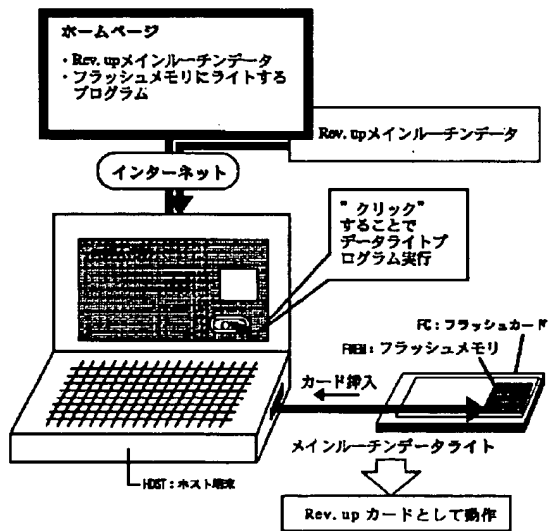


【図7】

図7 ファームウェア更新時の比較



【図8】



フロントページの続き

(72)発明者 元部 一典  
 東京都小平市上水本町5丁目22番1号 株  
 式会社日立超エル・エス・アイ・システム  
 ズ内

(72)発明者 門脇 茂  
 東京都小平市上水本町5丁目22番1号 株  
 式会社日立超エル・エス・アイ・システム  
 ズ内

(72)発明者 大久保 京夫

東京都小平市上水本町5丁目22番1号 株  
式会社日立超エル・エス・アイ・システム  
ズ内

(72)発明者 山田 有一郎

東京都小平市上水本町五丁目20番1号 株  
式会社日立製作所半導体事業部内  
F ターム(参考) 5B035 AA02 BB09 CA07 CA26 CA29  
5B058 CA13 CA23 KA02